

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-319097

(43)Date of publication of application : 04.12.1998

(51)Int. Cl.

G01R 31/3183

(21)Application number : 09-130880

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 21.05.1997

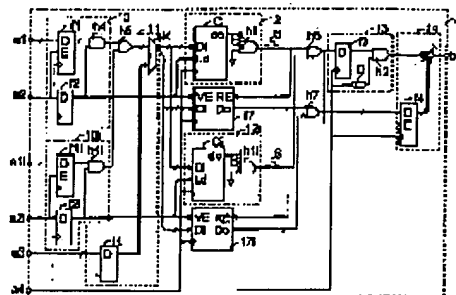
(72)Inventor : WATANABE NAOYOSHI

(54) TIMING GENERATOR FOR SEMICONDUCTOR TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a timing generator, save the power and prevent the generation of a delay linearity error by generating a plurality of timing pulses in one pattern period, and using both retiming means and analog variable delaying means commonly to the timing pulses.

SOLUTION: When a first period start signal is inputted from a2, the excess from a1 to 0 is read with a standard clock, and the adder K of an arithmetic means 11 adds the set delay data of a resistor R, imparts an integer data of 3 to the down counter C of a delay means 12, and loads the excess to a buffer memory 17. The counter C loads the integer of 3 and starts subtraction with the standard clock. When the signal is similarly inputted to a2i with a delay of 5T, a counter Ci loads the integer of 4 followed by subtraction, and loads the excess to a memory 17i. Thus, an integrated timing generator 20 for generating a plurality of pulses in one pattern period is provided, and a timing means 13 and a delay means 14 are commonly used to eliminate the delay linearity error.



LEGAL STATUS

[Date of request for examination] 05.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3437407

[Date of registration] 06.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-319097

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

G 0 1 R 31/3183

識別記号

F I

G 0 1 R 31/28

Q

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平9-130880

(22) 出願日

平成9年(1997)5月21日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 渡辺 直良

東京都練馬区旭町1丁目32番1号 株式会

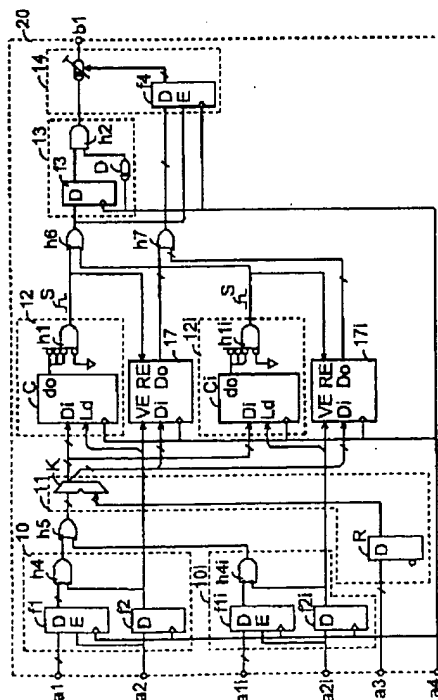
社アドバンテスト内

(54) 【発明の名称】 半導体試験装置用タイミング発生器

(57) 【要約】

【課題】 1パターン周期に複数のタイミングパルスを発生させる半導体試験装置用タイミング発生器を提供する。

【解決手段】 入力される複数のパターン周期の端数データとその周期開始信号をそれぞれラッチし交互に出力する複数の入力手段10iと、パターン周期の端数データと設定端数データとを加算する演算手段11と、演算結果の整数データの数Nを受け基準クロック周期のN倍遅延した基準クロック遅延信号Sを出力する複数の基準クロック遅延手段12iと、演算結果の端数データを一時記憶する複数のバッファメモリ17iと、基準クロック遅延信号Sがリタイミング手段13を通して入力されバッファメモリ17iからの端数データの遅延を与えるアナログ可変遅延手段14とから構成される。



【特許請求の範囲】

【請求項1】 1パターン周期内に複数のタイミングパルスが発生する半導体試験装置用タイミング発生装置において、

入力端子(a1i)からのパターン周期の端数データをラッチし出力するラッチ回路(f1i)と入力端子(a2i)からの周期開始信号をラッチし出力するラッチ回路(c12i)とから成り複数のパターン周期の端数データを該周期開始信号に同期して交互に出力する複数の入力手段(10i)と、

複数の入力手段(10i)から交互に出力されるパターン周期の端数データとレジスタ(R)に格納されている設定遅延データとを加算し、複数の入力手段(10i)と対応して設けられたそれぞれの基準クロック遅延手段(12i)とバッファメモリ(17i)とに出力する演算手段(11)と、

演算手段(11)からの出力データの整数値(N)を受けて基準クロック周期(T)の上記整数値(N)倍遅延した基準クロック遅延信号(S)を出力する複数の基準クロック遅延手段(12i)と、

演算手段(11)からの出力データの端数データを一時記憶し、基準クロック遅延信号(S)を受けて端数データを出力する複数のバッファメモリ(17i)と、基準クロック遅延信号(S)を受けて、該基準クロック遅延信号(S)のタイミングを再生し出力するリタイミング手段(13)と、

バッファメモリ(17i)からの端数データを受けて、上記リタイミング手段(13)からの基準クロック遅延信号(S)を端数データ値の遅延をさせて出力するアナログ可変遅延手段(14)と、

を具備することを特徴とする半導体試験装置用タイミング発生器。

【請求項2】 基準クロック遅延手段(12i)はダウンカウンタ(Ci)と零一致回路(h1i)とから成り、演算手段(11)からの整数値(N)の入力データを該データの周期開始信号でダウンカウンタ(Ci)にロードし、基準クロック毎に減数し、0値になると零一致回路(h1i)で一致を取り基準クロック遅延信号(S)を発生することを特徴とする請求項1記載の半導体試験装置用タイミング発生器。

【請求項3】 バッファメモリ(17i)はFIFOから成り、演算手段(11)からの端数データを該データの周期開始信号でFIFOに取り込み、対応する基準クロック遅延信号(S)で読み出すことを特徴とする請求項1又は2記載の半導体試験装置用タイミング発生器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体試験装置のタイミング発生器において、インタリーブ方式に準じて1パターン周期内に複数のタイミングパルスが発生させ

る装置であって、特にタイミングパルスの遅延時間精度を向上させ、ハードウェアを縮小化し、高速に発生させる半導体試験装置用タイミング発生器に関する。

【0002】

【従来の技術】始めに、従来の半導体IC試験装置の概略について説明する。図4に半導体試験装置の基本的な構成図を示す。テストプロセッサ1は装置全体の制御を行い、テスト・バスにより各ユニットに制御信号を与える。タイミング発生器3は装置全体のテストタイミングを取るためにタイミングパルス信号を発生して、パターン発生器2、波形整形器4やパターン比較器7等と与え、テストのタイミングを取る。パターン発生器2はDUT(被試験デバイス)9に与える印加パターンとパターン比較器7に与える期待値パターンを生成する。

【0003】波形整形器4はパターン発生器2からの印加パターンを信号波形に整形しドライバ5を経て、DUT9にテスト信号を与える。DUT9からの応答信号はコンパレータ6で電圧比較され、その結果の論理信号をパターン比較器7に与える。パターン比較器7はコンパレータ6からの試験結果の論理パターンとパターン発生器2からの期待値パターンとを論理比較して一致・不一致を検出し、DUT9の良否判定を行う。不良の場合にはフェイルメモリ8に情報を与え、パターン発生器2からの情報と共に記憶させ、後に不良解析が行われる。

【0004】これらの動作を行わせる各信号を生成するために、タイミング発生器3やパターン発生器2や波形整形器4にはメモリのテーブルが準備されデータがメモリされている。これらのテーブルに与えるデータは、プログラマが被測定DUT9の性能諸元を基に、テストパターンを考察してテストプログラムを作成し、テストプロセッサ1から各部に供給している。

【0005】パターン発生器2のテーブルには、例えば0、1やL、H、Zの記述でピン1用からピンn用等の各ピン用の試験パターンデータが準備されている。波形整形器4のテーブルには波形モードなどの波形設定に関するデータが準備され、パターン発生器2からの試験パターンデータとタイミング発生器3からのセット、リセットのタイミングパルス信号を用いてテスト信号を生成しドライバ5に供給している。

【0006】タイミング発生器3にはRATE設定テーブルとクロック設定テーブルとがあり、RATE設定テーブルにはパターン周期(Test Period)のデータがメモリされ、クロック設定テーブルにはドライバ波形のタイミングデータがメモリされている。これらのデータを組み合わせて複数個のグループ、例えばTS1グループ、TS2グループやTSnグループ等を準備して読み出し、セット信号やリセット信号のタイミングパルスを生成している。

【0007】このタイミング発生器3において、設定するパターン周期は、基準クロック(Reference Clock)

の整数倍に端数を生ずることもあるが、ハードでのパターン周期の生成は基準クロックの整数倍に設定するので容易に生成できる。一方、タイミングパルス信号は基準クロックの $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、…等の分周で精度良く生成させるので複雑である。基準クロックの端数データ (Fractional Data) は前パターン周期からの端数データと設定端数データとを加算し、加算結果の整数倍データはデジタル的に遅延させ、端数データはアナログ可変遅延回路を用いて遅延させる。具体的に説明する。

【0008】図5 (A) にタイミング発生器3の基本的な構成図を示す。構成としては、入力手段10、演算手段11、基準クロック遅延手段12、リタイミング手段13及びアナログ可変遅延手段14より成っている。そして入力端子a1からは前パターン周期の端数データが、a2からは周期開始 (Period Start) 信号が、a3からはタイミング遅延時間のデータが、a4からは基準クロックがそれぞれ入力される。いま、パターン周期に基準クロック以下の情報がある一例のテスト条件として、周波数100MHzで1周期10ns (ナノ秒) の基準クロック (以下、基準クロックの周期を「T」で表現する) を用い、パターン周期は $(5+3/4)T$ 、タイミング遅延時間は $(3+1/2)T$ のタイミングパルス信号を連続して発生させるものとする。図6にその場合のタイミングチャートを示す。

【0009】始めにa2から周期開始信号が入力されると、入力手段10のラッチ回路f1をライトイネーブル (Write Enable) にし、ラッチ回路f2にも周期開始信号を与える。ラッチ回路はDタイプ・フリップフロップで構成され、WE (Write Enable) 付と無いがある。a3からのタイミング遅延データ $(3+1/2)T$ は、既にレジスタRに格納 (メモリ) されているとする。(以下、タイミング遅延データを「設定遅延データ」という)。a4からの基準クロックを、ラッチ回路f1に与えてa1からの端数データをラッチしそのデータを演算手段11の加算器Kに与え、ラッチ回路f2に与えてa2からの周期開始信号をラッチして基準クロック遅延手段12にあるダウンカウンタCのロード端子に与え加算器K出力の整数データNをロード (入力) する。加算器Kは既に端数データと設定遅延データとを加算したデータを出力している。ダウンカウンタCのクロック端子にも基準クロックを与える。

【0010】1発目のタイミングパルスの発生において、a1からの端数データは0であるので、演算手段11の加算器Kの入力データは0と $(3+1/2)T$ となり、その出力データは $(3+1/2)T$ である。図6D参照。3の整数データNは基準クロック遅延手段12のダウンカウンタCに、 $1/2$ の端数データはアナログ可変遅延手段14のラッチ回路f4に出力される。周期開始の信号でダウンカウンタCは3のデータをロードし、a

4からの基準クロックで1ずつ減数し、そのデータをデータアウト端子doから出力する。3つの基準クロックでデータアウト端子doの出力信号が零になると一致回路h1で零と一致を取って基準クロック遅延信号Sを出力し、リタイミング回路13のラッチ回路f3とアナログ可変遅延手段14のラッチ回路f4とに与える。

【0011】リタイミング回路13は、基準クロック遅延信号Sの遅延時間がダウンカウンタCなどによりバラツキが生じるのを除去するために、基準クロックに固定遅延器Dによる一定のオフセット時間を加えて、常に一定の遅延時間のタイミングを取るための回路である。そこで、入力端子a1からリタイミング回路13までの最大遅延時間よりやや大きい遅延時間を有する固定遅延器Dにa4からの基準クロック信号を通し、既に開かれているゲートh2を通過させた基準クロックをタイミングパルスの基準としている。図6E参照。アナログ可変遅延手段14ではラッチ回路f4にラッチされている端数データ $(1/2)T$ の時間を遅延させ、出力端子b1から $(3+1/2)T$ 遅延したタイミングパルスを出力する。図6F参照。1回目のパターン周期が終わると、パターン周期 $(5+3/4)T$ の端数データ $(3/4)T$ は入力端子a1に印加される。

【0012】2発目のタイミングパルスの遅延時間は入力端子a1に印加された端数データ $(3/4)T$ とレジスタRにメモリの $(3+1/2)T$ の和であり、加算器Kで加算され、 $(4+1/4)T$ のデータを出力する。図6C、D参照。4の整数データはダウンカウンタCに出力され、 $(1/4)T$ の端数データはアナログ可変遅延手段14に出力され、1発目と同様にデジタル的及びアナログ的に遅延されて $(4+1/4)T$ 遅延されたタイミングパルスが出力される。図6F参照。

【0013】3発目において、パターン周期は1発目と2発目のパターン周期の端数データが $(3/4+3/4)T = (1+1/2)T$ となるので、構成は図示していないが、1の整数データを元のパターン周期に組み入れて5基準クロックに1を加算した6基準クロックをパターン周期とする。図6A参照。よって、パターン周期の端数データは $(1/2)T$ となり入力端子a1に供給される。レジスタRのデータは $(3+1/2)T$ であるのでその加算結果は4となる。よって、加算器Kからの4の出力データはダウンカウンタCに送られ、デジタル的遅延のみが行われてタイミングパルスを発生する。図6F参照。4発目以降も上記の動作が行われタイミングパルスを連続して送出する。

【0014】図5 (B) はアナログ可変遅延手段14の構成例である。アナログのパルス信号は入力端子a10から入力し出力端子b10から出力する。15i (i=1~n) は、例えばインバータの従続した列で一定時間の遅延回路が構成され、15₁は $(1/2)T$ の遅延、15₂は $(1/4)T$ の遅延、15₄は $(1/16)T$

の遅延のようなアナログ遅延を行う。16i (i=1~n) 16セクタで、ラッチ回路f4からの制御信号Si (i=1~n)でAi若しくはBiのいずれかを選択し、7ナログ信号を直接通過させたり規定の遅延を与えたつする。

【0015】図5(A)ではテスト条件として、基本クロックは周波数100MHzで1周期が10ns、パターン周期は(5+3/4)T、タイミング遅延時間は(3+1/2)Tのタイミングパルス信号を連続して発生させた。つまり、パターン周期は57.5nsで、タイミング遅延時間は35nsであった。このように、1パターン周期内では1つのタイミングパルス信号しか生成できない。しかしながら、最近では1パターン周期内で2~4のタイミングパルスを要求する場合が多くなった。この1パターン周期内で複数のタイミングパルスを発生させるためにインタリーブ方式で発生させており、インタリーブ方式は不可欠となってきた。インタリーブ方式とは交互配置した方式をいう。

【0016】図7にインタリーブ方式の回路ブロック図を、図8にそのタイミングチャートを示す。回路構成としては図7に示すように、従来の図5(A)のタイミング発生器3の回路を2つ、3mと3nとを並列に設け、その出力をオア回路h3で複合し出力するものである。3以上の複数のタイミング発生器3を並列に設けて1パターン周期内に3以上のタイミングパルスを発生させることもできる。回路動作を説明する。図7でのテスト条件の例として、図6と同一のタイミングパルスを発生させるものとし、パターン周期は図6の場合の2倍の(11+1/2)Tとし、タイミング遅延時間は(3+1/2)Tと他の1つは(9+1/4)Tである。(3+1/2)T遅延のタイミングパルスはタイミング発生器3mで発生させ、(9+1/4)T遅延のタイミングパルスの発生をタイミング発生器3nにまかせることにする。タイミング発生器3nのパターン周期開始は3mより5T遅らせ、設定遅延データはタイミング発生器3mと同じく(3+1/2)とする。

【0017】図8のタイミングチャートを用いて説明する。図8Aは周期10nsの基準クロックである。図8Bから図8Eはタイミング発生器3mのタイミングチャートで、図8Fから図8Iはタイミング発生器3nのタイミングチャートで、図8Gは複合したタイミングパルスの発生状況である。

【0018】タイミング発生器3mのパターン周期は(11+1/2)Tであるので整数を取り、当初は図8Bに示すように11Tであるので、1発目の端数データは図8Cに示すように0である。従って、加算器12の出力データはレジスタRのデータ(3+1/2)であるので3の整数データと(1/2)の端数データである。よって、3の整数はデジタル的に、(1/2)はアナログ的に遅延され、タイミングパルスは図8Eに示すよう

に(3+1/2)T遅延して発生する。

【0019】タイミング発生器3nのパターン周期は、図8Fに示すようにタイミング発生器3mより5T遅れてスタートさせるので、1周期目の端数データは(3/4)となり、図8Gのように送付され、加算器KでレジスタRのデータ(3+1/2)と加算され、その出力データは図8Hに示すように(4+1/4)となる。従って、図8Iのようなタイミングパルスが発生する。

【0020】3発目のタイミングパルス、つまりタイミング発生器3mの2発目は、パターン周期の端数データが図8Cのように(1/2)となるから、レジスタRのデータ(3+1/2)と加算して、加算器Kの出力は図8Dのように4となる。従ってタイミングパルスの発生は図8Eのようになる。以下同様にして連続したタイミングパルスを発生させる。

【0021】

【発明が解決しようとする課題】上述したように、インタリーブ方式のタイミングパルスの発生は、図7に示すように、図5のタイミング発生器3を並列に2セット並べて交互に動作させることにより、見かけ上、2倍速になる。3セット並列に並べて交互に動作させると3倍速になる。この従来の回路構成でも半導体試験装置は充分に稼動する。

【0022】しかしながら、従来の回路構成はハードウェアをまるまる2セット分+α以上必要とするため、ハードウェアの小型化、省力化、高速化のためには障害となることがある。また、それぞれにアナログ可変遅延手段14を有している。このアナログ可変遅延手段14は、遅延時間tpdの調整が困難であり、ソフト的には補正できず、若干の固有の誤差を有する。従って、異なる複数個のアナログ可変遅延手段14を用いてタイミングパルスを発生させると、期待遅延値と実際遅延値との差である遅延リニアリティ・エラー分が遅延パルスのジッタに足された形でDUT9に印加され問題を生ずることもある。

【0023】この発明は、上記の問題点を解決し、より小型化、省力化し、遅延リニアリティ・エラーが発生しないインタリーブ方式に代わる新しいタイプのタイミング発生器を提供することを目的とする。

【0024】

【課題を解決するための手段】上記目的を達成するために、この発明は1パターン周期に2以上の複数のタイミングパルスを発生させて遅延リニアリティ・エラーを防止するために、リタイミング手段13とアナログ可変遅延手段14とを複数のタイミングパルスに対して共通に用いるようにする。また、演算手段11も共通に使用するようにする。つまり、入力手段10と基準クロック遅延手段12は1パターン周期に発生させる複数のタイミングパルス数pに合わせて複数の入力手段10i (i=1~p)とそれに対応する基準クロック遅延手段12i

($i = 1 \sim p$) とを設ける。

【0025】従って、構成は次のようになる。①パターン周期の端数データをラッチするラッチ回路 $f1i$ とパターンスタート信号をラッチするラッチ回路 $f2i$ とから成り、複数のパターン周期の端数データをその周期開始信号に同期して交互に出力する複数の入力手段 $10i$ と、②交互に出力されるパターン周期の端数データとレジスタRに格納されている設定遅延データとを加算して複数の入力手段 $10i$ と対応して設けられたそれぞれの基準クロック遅延手段 $12i$ とバッファメモリ $17i$ とに出力する演算手段 11 と、③演算手段 11 からの出力データの整数値 N を受けて基準クロック周期 T の上記整数値 N 倍遅延した基準クロック遅延信号 S を出力する複数の基準クロック遅延手段 $12i$ と、④演算手段 11 からの出力データの端数データを一時記憶し、基準クロック遅延信号 S を受けて端数データを出力する複数のバッファメモリ $17i$ と、⑤基準クロック遅延信号 S を受けて、その基準クロック遅延信号 S のタイミングを再生し出力するリタイミング手段 13 と、⑥バッファメモリ $17i$ からの端数データを受けて、上記リタイミング手段 13 からの基準クロック遅延信号 S を端数データ分遅延させて出力するアナログ可変遅延手段 14 とから構成されている。

【0026】

【発明の実施の形態】発明の実施の形態を実施例に基づき図面を参照して説明する。図1に本発明の一実施例の構成図を、図2に図1のタイミングチャートを、図3に他の実施例の構成図を示す。図5、図6と対応する部分には同一符号を付す。先ず、図1と図2に基づいて説明する。

【0027】テスト条件は従来の図7及び図8の説明に用いた同じ条件とする。つまり、パターン周期は $(1 + 1/2)T$ 、タイミング遅延時間は $(3 + 1/2)T$ と $(9 + 1/4)T$ 、第2の周期開始信号は第1の周期開始信号より $5T$ 遅らせ、設定遅延データは共に $(3 + 1/2)$ とする。入力信号は従来のインタリーブ方式と同様に、入力端子 $a1i$ ($i = 1 \sim p$) からパターン周期の端数データと、 $a2i$ ($i = 1 \sim p$) からそのパターン周期の周期開始信号とを入力する。図1では第1周期と第2周期の2種類の入力であるので p は1と2である。 $a4$ からは基準クロックを入力する。 $a3$ からの設定遅延データの $(3 + 1/2)$ は予めレジスタRに記憶させているものとする。

【0028】初めに $a2$ から第1の周期開始信号が入力されると、次の基準クロックで $a1$ からの0の端数データを取り込み演算手段 11 の加算器Kの一方の入力端子に与える。図2A、B、C参照。加算器Kは直ちにレジスタRの設定遅延データの $(3 + 1/2)$ と加算し、3の整数データは基準クロック遅延手段 12 のダウンカウンタCに与え、 $(1/2)$ の端数データはバッファメモ

リ 17 に与える。図2D参照。ダウンカウンタCは直ちに3の整数をロードし、基準クロックで減数し始める。バッファメモリ 17 はライトイネーブルになっているので次の基準クロックで $(1/2)$ の端数データをロードする。バッファメモリ 17 は、図1ではFIFO (First-in First-out) のメモリを用いている。FIFOとは先入れ先出し方式をいう。バッファメモリ 17 を用いるのは制御信号が有るときのみデータを出力し、無いときは0出力にしたいからである。

【0029】基準クロック遅延手段 12 のダウンカウンタCは、0になると零一致回路 $h1$ で一致が取れて、ほぼ $3T$ 遅延された基準クロック遅延信号 S を出力する。基準クロック遅延信号 S はリタイミング手段 13 に送られて再びタイミングを調整してアナログ可変遅延手段 14 に送られる。バッファメモリ 17 は基準クロック遅延信号 S でリードイネーブルとなり端数データを出力し、アナログ可変遅延手段 14 のラッチ回路 $f4$ に送られる。アナログ可変遅延手段 14 では $3T$ 遅延した基準クロック遅延信号 S を、端数データによる $(1/2)T$ の時間、遅延させて $(3 + 1/2)T$ 遅延したタイミングパルスを出力する。図2E、G参照。

【0030】入力端子 $a2i$ に第2の周期開始信号が第1の周期開始信号より $5T$ 遅れて入力されると、次の基準クロックで $a1i$ からの $(3/4)$ の端数データを取り込み演算手段 11 の加算器Kの一方の入力端子に与える。図2F、G参照。加算器Kは直ちにレジスタRの設定遅延データの $(3 + 1/2)$ と加算して $(4 + 1/4)$ のデータを出力し、4の整数データは基準クロック遅延手段 $12i$ のダウンカウンタ Ci に与え、 $(1/4)$ の端数データはバッファメモリ $17i$ に与える。図2H参照。ダウンカウンタ Ci は直ちに4の整数をロードし、基準クロックで減数し始める。バッファメモリ $17i$ はライトイネーブルになっているので次の基準クロックで $(1/4)$ の端数データをロードする。

【0031】基準クロック遅延手段 $12i$ のダウンカウンタ Ci は、4つの基準クロックをカウントして0になると零一致回路 $h1i$ で一致が取れて、ほぼ $4T$ 遅延された基準クロック遅延信号 S を出力する。基準クロック遅延信号 S はリタイミング手段 13 に送られて再びタイミングを調整してアナログ可変遅延手段 14 に送られる。バッファメモリ $17i$ は基準クロック遅延信号 S でリードイネーブルとなり端数データを出力し、アナログ可変遅延手段 14 のラッチ回路 $f4$ に送られる。アナログ可変遅延手段 14 では $4T$ 遅延した基準クロック遅延信号 S を、端数データによる $(1/4)T$ の時間、遅延させて $(4 + 1/4)T$ 遅延したタイミングパルスを出力する。図2I、G参照。

【0032】 $11T$ の時間が経過すると、 $a2$ から再び周期開始信号が入力され、 $a1$ からは $(1/2)$ の端数データが送られてくる。図2B参照。次の基準クロック

で $(1/2)$ の端数データを取り込み演算手段 1 1 の加算器 K に送る。加算器 K ではレジスタ R の設定遅延データ $(3+1/2)$ と加算して 4 の整数データを出力して基準クロック遅延手段 1 2 のダウンカウンタ C に与える。図 2 D 参照。ダウンカウンタ C は直ちに 4 の整数をロードし、基準クロックで減数し始める。4 つの基準クロックをカウントして 0 になると零一致回路 h 1 で一致が取れて、ほぼ 4 T 遅延された基準クロック遅延信号 S を出力する。基準クロック遅延信号 S はリタイミング手段 1 3 に送られて再びタイミングを調整してアナログ可変遅延手段 1 4 に送られる。端数データは 0 であるのでアナログ可変遅延手段 1 4 での遅延は行わず、4 T 遅延したタイミングパルスを出力する。図 2 E、G 参照。その後は同様にして、継続してタイミングパルスを発生する。

【0 0 3 3】図 3 は他の実施例の構成図である。これは演算手段 1 1 に 2 つの加算器 K と加算器 K i とを設け、a 1 から入力されたデータ演算は加算器 K で、a 1 i から入力されたデータ演算は加算器 K i で行うようにしたものである。他は図 1 とほぼ同様であるので説明は省略する。ただ、a 1 から入力されたデータに加算する設定遅延データと a 1 i から入力されたデータに加算する設定遅延データとが異なる値である場合には、レジスタ R を 2 つ準備してそれぞれに異なる設定遅延データをメモリしそれぞれの加算器に与えればよいので便利である。

【0 0 3 4】以上詳細に説明してきたが、構成は実施例に限るものではない。基準クロック遅延手段 1 2 のカウンタ C はダウンカウンタでなく、アップカウンタで構成してもよい。要は基準クロックで整数値 N を計数して一致すると基準クロック遅延信号 S を発生できればよい。また、バッファメモリ 1 7 に FIFO を用いたが、これに限らず、ラッチ回路とゲート回路で構成することもできる。要は常時は 0 出力で、必要なときのみデータを出力できる回路であればよい。

【0 0 3 5】

【発明の効果】以上詳細に説明したように、この発明は 1 パターン周期内に複数のタイミングパルスを発生させる装置として、従来のインタリーブ方式に代え、統合したタイミング発生器 2 0 とした。特に、リタイミング手段 1 3 とアナログ可変遅延手段 1 4 を 1 つにし、共通して使用できるようにした。

【0 0 3 6】従って、従来問題となっていた遅延リニアリティ・エラーの発生を無くし、しかもハードウェアの

より以上の小型化、省力化、高速化が可能となった。この発明は実用に際しての効果は大である。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成図である。

【図 2】図 1 のタイミングチャートである。

【図 3】本発明の他の実施例の構成図である。

【図 4】半導体試験装置の基本的な構成図の例である。

【図 5】図 5 (A) はタイミング発生器の基本的な構成図の例であり、図 5 (B) はアナログ可変手段 1 4 の構成図の例である。

【図 6】図 5 (A) のタイミングチャートである。

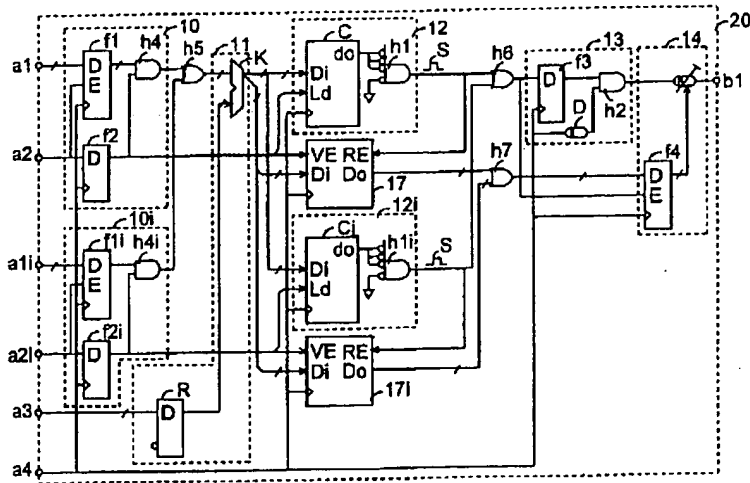
【図 7】インタリーブ方式のタイミング発生器の構成図である。

【図 8】図 7 のタイミングチャートである。

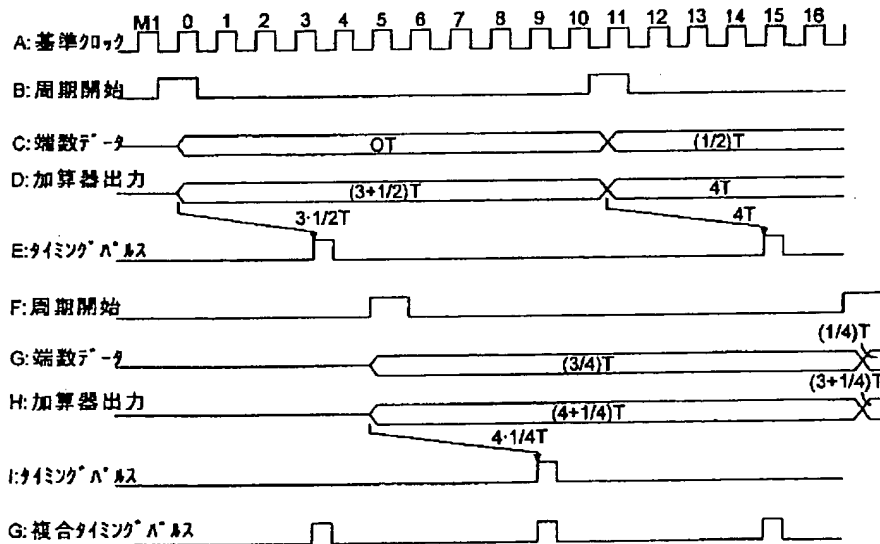
【符号の説明】

- | | |
|------------------|------------------|
| 1 | テストプロセッサ |
| 2 | パターン発生器 |
| 3 | 3 m、3 n タイミング発生器 |
| 4 | 波形整形器 |
| 5 | ドライバ |
| 6 | コンパレータ |
| 7 | パターン比較器 |
| 8 | フェイルメモリ |
| 9 | DUT (被試験デバイス) |
| 10 | 入力手段 |
| 11 | 演算手段 |
| 12 | 基準クロック遅延手段 |
| 13 | リタイミング手段 |
| 14 | アナログ可変遅延手段 |
| 15 i (i = 1 ~ n) | アナログ遅延器 |
| 16 i (i = 1 ~ n) | セクタ |
| 17、17 i | バッファメモリ (FIFO) |
| 20 | タイミング発生器 |
| C、C i | ダウンカウンタ |
| D | 固定遅延器 |
| R | レジスタ |
| S | 基準クロック遅延信号 |
| K、K i | 加算器 |
| f i (i = 1 ~ m) | ラッチ回路 |
| h 1、h 1 i | 一致回路 |
| h 2、h 4、h 4 i | アンド回路 |
| h 3、h 5、h 6、h 7 | オア回路 |

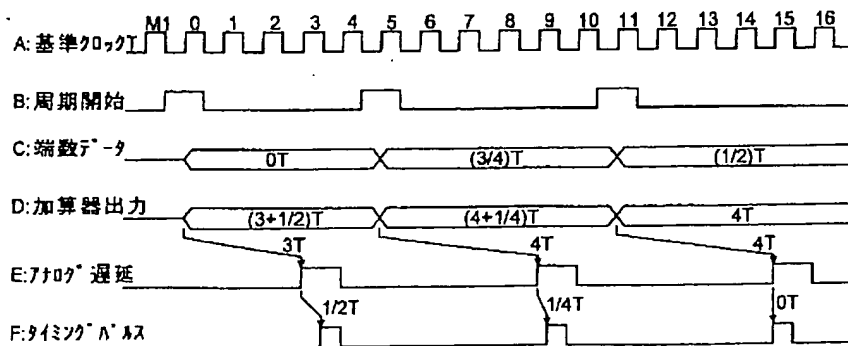
【図1】



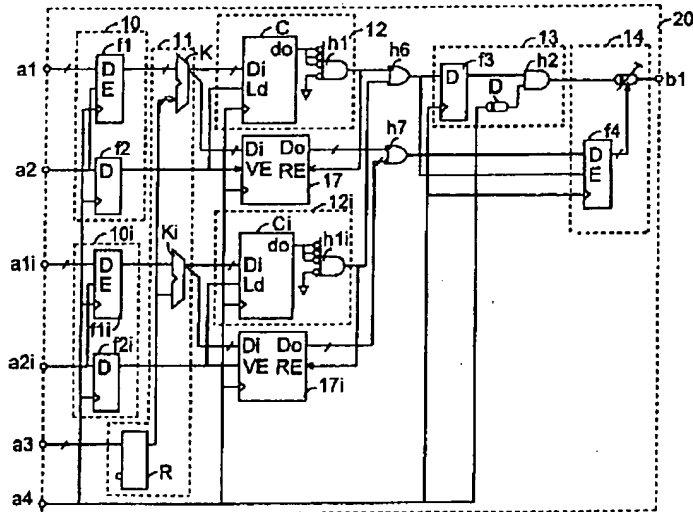
【図2】



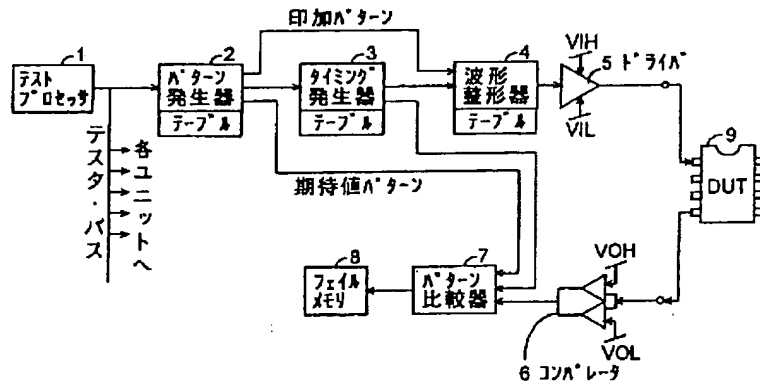
【図6】



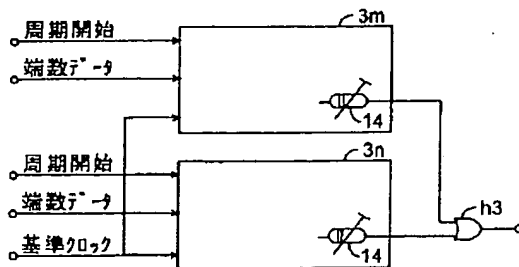
【図3】



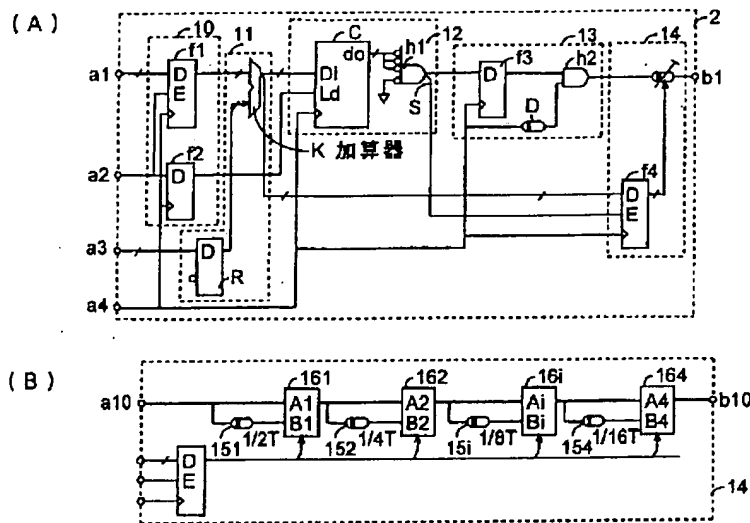
【図4】



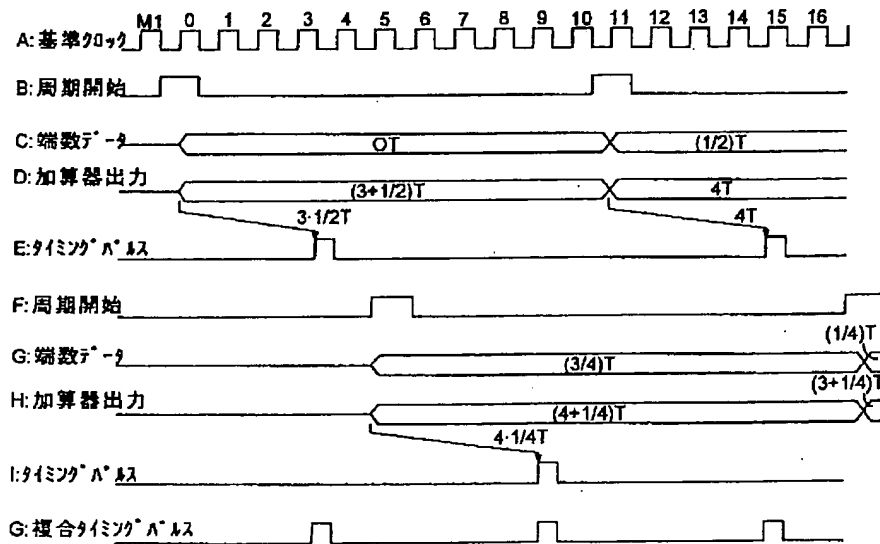
【図7】



【図5】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.